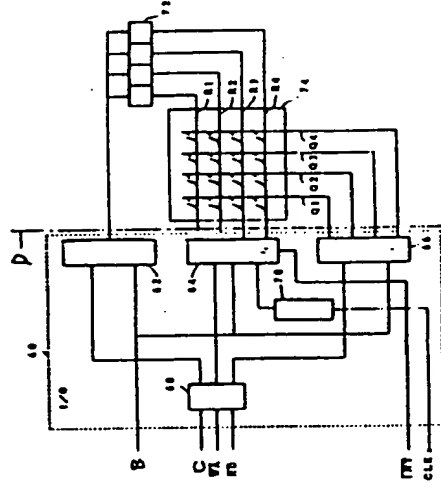
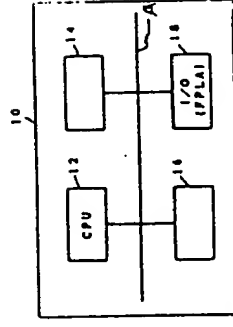


- (54) ONE-CHIP MICROCOMPUTER
 (11) 2-1084 (A) (43) 5.1.1990 (19) JP
 (21) Appl. No. 64-104050 (22) 24.4.1989
 (71) KENWOOD CORP (72) HIROSHI ICHUJO
 (51) Int. Cl.⁵ G06F15/78

PURPOSE: To obtain a one-chip microcomputer in which necessary functions can be realized with a small number of chips, and the load of a memory can be also lightened by forming a part or the whole part of a peripheral signal processing circuit using a programmable logic device.

CONSTITUTION: The title device is composed by using a field programmable logic array (FPLA) 60 for an I/O18. For example, when a user turns on a key related to a scanning line R3 and a detecting line Q2, the line Q2 lowers to L while the line R3 is scanned. Thereupon, data read from an input port 66 become HLHH and stored in a data memory 16. According to the decision of L in detecting lines Q1-Q4, a CPU12 outputs a designated address and an RD signal to an address decoder 68, makes an output port 64 into an enable and read state, and stores a current output in a read memory 16. Thus, coordinate data related to the ON key can be obtained, and the definition character of the key can be grasped. When the character is the one related to a second digit, the CPU12 similarly indicates the character on the second digit of a 7-segment indicator. The same operations as the above-mentioned are also executed when any other key is turned on.



10: one-chip microcomputer, 14: program memory, 62: output port (decoder), 70: divider, A: internal bus, B: data bus, C: address bus, D: chip part

⑨ 日本国特許庁(JP)

⑪ 特許出願公開

⑩ 公開特許公報(A) 平2-1084

⑫ Int. Cl.³

G 06 F 15/78

識別記号

510 D

庁内整理番号

7343-5B

⑬ 公開 平成2年(1990)1月5日

審査請求 有 請求項の数 1 (全8頁)

⑭ 発明の名称 ワンチップマイクロコンピュータ

⑮ 特 願 平1-104050

⑯ 出 願 昭63(1988)5月19日

前実用新案出願日援用

⑰ 発 明 者 一 條 博 東京都渋谷区渋谷2丁目17番5号 株式会社ケンウッド内
⑱ 出 願 人 株式会社ケンウッド 東京都渋谷区渋谷2丁目17番5号
⑲ 代 理 人 弁理士 坪内 康治

明 細 書

1. 発明の名称

ワンチップマイクロコンピュータ

2. 特許請求の範囲

CPUと、メモリでない1乃至複数の周辺信号処理回路と、を含むワンチップマイクロコンピュータにおいて、

一部または全部の周辺信号処理回路を、プログラマブルロジックデバイスを用いて構成したこと、を特徴とするワンチップマイクロコンピュータ。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明はワンチップマイクロコンピュータに係り、とくにCPUやメモリを除いたワンチップマイクロコンピュータ内の周辺信号処理回路の改良に関する。

〔従来の技術〕

ワンチップマイクロコンピュータ(以下、単に「ワンチップマイコン」と言う)は、CPUやメモリの外に、I/Oポート、タイマ等の周辺信号

回路も内蔵されており、ワンチップでマイクロコンピュータが構成されている。

ワンチップマイコンに内蔵された周辺信号処理回路はパラレルポート、シリアルポート、タイマなどの如く機能が特化されており、メーカーにより種々の組み合わせのチップが用意されている。

〔発明が解決しようとする課題〕

しかし、上記した従来技術ではチップに設けるピン数の制約から、メーカーで用意できる組み合わせには自ずと限度がある。

従って、ユーザ側で必要とする機能によっては、多少の差でワンチップマイコンを使用出来ない場合があり、使用できてもワンチップマイコンだけでは機能が足らず、外部に汎用のI/O用LSIや拡張用のLSIを取りつけて能力不足を補わなければならない、チップ数が多くなってしまう欠点があった。

更に、周辺信号処理回路を使用する際、複雑、かつ、煩雑な動作モード設定をソフト的に行う必要があり、このソフトがメモリ領域の一部を占有

するため他に搭載できるプログラムの大きさやデータ格納領域の大きさが小さくなってしまい、ワンチップマイコンで可能な処理許容量が小さくなる。

この発明はかかる従来技術の欠点に鑑みなされたもので、ワンチップマイコンの周辺信号処理回路に柔軟性を持たせてユーザ側での種々な用途に対応できるようにし、少ないチップ数で必要な機能を実現でき、かつ、メモリの負担も減らせるワンチップマイコンを提供することを、その目的とする。

(課題を解決するための手段)

この発明では、CPUと、メモリでない1乃至複数の周辺信号処理回路と、を含むワンチップマイクロコンピュータにおいて、一部または全部の周辺信号処理回路を、プログラマブルロジックデバイスを用いて構成したこと、を特徴としている。

(実施例)

この発明の1つの実施例を第1図に基づいて説明する。

造を持ち、ヒューズ式の場合FPLA書き込み器等を用いてアレイの交点を電気的に破壊し回路のプログラムを行い、ユーザ所望の特定機能を持つ1/Oに特化させる。

1/O18に対するプログラムの仕方を表えることで、種々の機能を実現できる。具体的には通常のシリアル1/O(UART等を含む)やパラレル1/Oのほか、割り込みコントロール機能、ユーザオリエンテッドな特殊なハンドシェイクコントロール機能などである。

ここでヒューズ式FPLAからなる1/O18の一例を第2図に示す。

第2図では、簡単のため4つの入力端子DIN1~DIN4と4つの出力端子DOUT1~DOUT4を有し、かつ、ANDアレイがプログラム可能でOR回路は固定となっている。

例えば、入力端子DIN1~DIN4は内部バス側と接続され、出力端子DOUT1~DOUT4はチップに設けられた所定の外部接続端子側と接続されてる。

入力端子DIN1~DIN4は入力線H1~H4により

第1図はこの発明に係るワンチップマイコンの構成を示すブロック図である。

ワンチップマイコン10内にはCPU12、プログラムメモリ14、データメモリ16がオンチップされており、各々内部バスで相互接続されている。

プログラムメモリ14は、EPROMやEEPROM等、ユーザ側で外部端子にデータを与えることでプログラムの書き込みが可能となっており、CPU12はプログラムメモリ14に格納させた所定のプログラムに従い、所定の処理を実行する。

またワンチップマイコンには1/O18もオンチップされており、この1/O18が内部バス及び外部接続端子と接続されている。

この1/O18はPLD(プログラマブルロジックデバイス)の一つであるPPLA(フィールドプログラマブルロジックアレイ)からなり、ユーザ側で必要な機能の書き込みを行えるようになっている。

PPLAは、例えばAND-OR二段の論理構

造を持ち、ヒューズ式の場合FPLA書き込み器等を用いてアレイの交点を電気的に破壊し回路のプログラムを行い、ユーザ所望の特定機能を持つ1/Oに特化させる。

これらの信号線に直交して16本の横項線P1~P16が第2図の左右方向に配設されており、4本ずつ1組にして一端側がOR回路30~36の入力側と接続されている。

信号線X1~X4、Y1~Y4とP1~P4の交点で第1ANDアレイ80、信号線X1~X4、Y1~Y4とP5~P8の交点で第2ANDアレイ82、信号線X1~X4、Y1~Y4とP9~P12の交点で第3ANDアレイ84、信号線X1~X4、Y1~Y4とP13~P16の交点で第4ANDアレイ86が形成されている。

各OR回路30~36の出力側は、各々、出力線G1~G4を介してチップの外部接続端子としての出力端子DOUT1~DOUT4と接続されている。

1/O18をプログラムする前は、信号線X1

～X4、Y1～Y4と積項線P1～P16の各交点のヒューズは全て接続状態となっており、ユーザが所定の交点のヒューズを切断することで、入力端子DIN1～DIN4に対する4つの入力と、出力端子DOUT1～DOUT4からの4つの出力間に所定の論理関数関係を持たせることができる。

1/018にはユーザが第1ANDアレイ80～第4ANDアレイ86に対する書き込みを可能とするためのプログラム用回路が附加されている。

まずプログラムを行う際に使用する端子VPP、PROG、CLK、RESが設けられており、各々所定の外部接続端子と接続されている。

端子VPPはOR回路30～36と接続されており、「H」のとき各OR回路30～36は通常の論理出力を行えるが、「L」になると出力側がハイインピーダンス状態になり、出力端子DOUT1～DOUT4から逆にデータを入力させることができる。

またPROG端子はバッファ20～26と接続されており、この端子が「L」のとき各バッファ20～26の出力側の電流は通常値をとるが、「H」

のとき大電流を流せるようになる。

出力端子DOUT1～DOUT4は、各々スイッチ回路38の4つのスイッチSWA～SWDの入力側と接続されている。

このスイッチ回路38には端子VPPが接続されており、VPPが「H」のとき各スイッチSWA～SWDが開いているが、「L」になると全て閉じる。

スイッチ回路38の出力側は各スイッチSWA～SWDの別に、各々バッファ20～26と接続されている。

CLK端子は16段のシフトレジスタ40のCK端子と接続されており、クロックパルスを入力する度にシフトレジスタ40が転送動作を行う。

各段の出力端子S1～S16は各々スイッチ回路42のスイッチSW1～SW16を介して積項線P1～P16の一端側（OR回路30～36と反対側）と接続されている。

スイッチ回路42もVPP端子と接続されており、VPPが「H」のとき各スイッチSWA～SWDが

開いているが、「L」になると全て閉じる。

RES端子はシフトレジスタ40と接続されており、これが「L」になると各段の出力が「L」にリセットされる。

シフトレジスタ40はリセット後、最初のクロックが入力されると1段目の出力が「H」となり、以降クロックが入力される度にこの「H」が2段目以降に転送されるようになっていく。

このように構成されたプログラム用回路の動作を第3図のタイムチャートを参照して説明する。

プログラムはチップをPPHA書き込み器にセットして行うが、初め各出力端子DOUT1～DOUT4に加えるデータは全てハイインピーダンス状態とし、またVPP、RESは「H」としておく。

このときスイッチ回路38と40は全てスイッチが開いた状態となっている。

まずRES端子を「L」に落としてシフトレジスタ40の各段をリセットしS1～S16を全て「L」とする。

これによりスイッチSW1～16には全て「L

」が印加される。

そして、VPP端子を「L」に落としてOR回路30～36の出力側をハイインピーダンス状態にし、かつ、スイッチ回路38と40の各スイッチSWA～SWDとSW1～SW16を閉じさせる。

次に、CLK端子にクロックパルスを1つ与えると、シフトレジスタ40では初段の出力S1が「H」となり、このためスイッチ回路42のスイッチSW1の出力だけが「H」になって積項線P1に印加される。

この状態で第1ANDアレイ50の積項線P1に係る最初のプログラムデータ（Sel termデータ）を出力端子DOUT1～DOUT4に与える。

例えば、出力端子DOUT1～DOUT4を(0110)とする(但し、ここでは0＝「L」、1＝「H」)。

続いてPROG端子を所定時間「H」とし、バッファ20～26の出力側の電流を大電流とさせる。

但し、大電流が流れるのは積項線側が「H」、信号線側が「L」となっている交点に関してだけ

であり、この交点に有るヒューズが切断される。

今の場合積項線 P 1 に対し、信号線 X 1, Y 2, Y 3, X 4 との交点が切断される。

そして PROG 端子を「L」に戻し、積項線 P 1 に係る 2 番目のプログラムデータを出力端子 DOUT1 ~ DOUT4 に与える。

例えば、出力端子 DOUT1 ~ DOUT4 を (0 0 1 0) とする。

続いて PROG 端子を再び所定時間「H」とし、バッファ 20 ~ 26 の出力側の電流を大電流とさせる。

これにより積項線 P 1 に対し、信号線 X 2 との交点が切断される。

この結果、積項線 P 1 に対し、信号線 Y 1, X 3, Y 4 との交点のヒューズが残る (第 2 図中の黒丸参照)。

次に PROG 端子を「L」に戻したあと CLK 端子に 2 番目のクロックパルスを与えると、シフトレジスタ 40 では 2 段目の出力 S 2 が「H」となり、このためスイッチ回路 42 のスイッチ S W 2 の出

する書き込みが終わったところで、VPP を「H」に戻しスイッチ回路 38 と 42 の全てのスイッチ S W A ~ S W D 及び S W 1 ~ S W 16 を開く。

これで 1/O 18 のプログラムが終了する。

この結果、第 2 図の黒丸で示す箇所のヒューズが残ったとすると、チップを通常論理動作させたとき、入力端子 DIN1 ~ DIN4 への入力を $x_1 \sim x_4$ 、出力端子 DOUT1 ~ DOUT4 の出力を $f_1 \sim f_4$ としたとき、

$$\begin{aligned} f_1 &= \overline{x_1} \cdot x_2 \cdot \overline{x_3} \cdot \overline{V_{X1}} \cdot \overline{x_4} \cdot \overline{V_{X1}} \cdot \overline{x_5} \cdot V_{X1} \\ f_2 &= x_1 \cdot x_2 \cdot \overline{V_{X1}} \cdot \overline{x_3} \cdot \overline{V_{X1}} \cdot V_{X1} \cdot x_4 \cdot x_5 \\ f_3 &= \overline{x_1} \cdot \overline{V_{X1}} \cdot x_2 \cdot x_3 \cdot \overline{V_{X1}} \cdot \overline{x_4} \cdot \overline{V_{X1}} \cdot x_5 \\ f_4 &= \overline{x_1} \cdot \overline{x_2} \cdot \overline{V_{X1}} \cdot \overline{x_3} \cdot \overline{V_{X1}} \cdot V_{X1} \cdot \overline{x_4} \cdot \overline{x_5} \end{aligned}$$

の論理式で定まる入力対出力関係が得られる。

勿論、他のプログラムを行えば他の論理関係が得られる。

実際には、より複雑な構成の F P L A からなる 1/O 18 をオンチップし、この 1/O 18 の端子と、内部バス、外部接続端子間に所定の配線を行う。

力だけが「H」になって積項線 P 2 に印加される。

この状態で第 1 AND アレイ 50 の積項線 P 2 に係る最初のプログラムデータを出力端子 DOUT1 ~ DOUT4 に与える。

例えば、出力端子 DOUT1 ~ DOUT4 を (1 1 0 0) とする。

続いて PROG 端子を所定時間「H」とし、積項線 P 2 に対し、信号線 Y 1, Y 2, X 3, X 4 との交点を切断させる。

ここで PROG 端子を「L」に戻し、積項線 P 2 に係る 2 番目のプログラムデータ、例えば (0 0 0 0) を出力端子 DOUT1 ~ DOUT4 に与え、再び PROG 端子を所定時間「H」とする。

これで積項線 P 2 に対し、信号線 X 1, X 2 との交点が切断される。

この結果、積項線 P 2 に対し、信号線 Y 3, Y 4 との交点のヒューズが残る。

以下同様の処理を積項線 P 3 から P 16 まで繰り返して、第 1 AND エリア 80 ~ 第 4 AND エリア 86 のプログラムを実行し、積項線 P 16 に関

このように、ワンチップマイコンにオンチップされた F P L A からなる 1/O 18 をユーザがプログラムすることで、例えば電卓用ワンチップマイコンのキー入力・表示出力用に特化した第 4 図の如く等価的機能をもつ 1/O 60 も形成できる。

この 1/O 60 の機能を説明すると、7 セグメント用のデコードとしての出力ポート 62、4 ビットシフトレジスタとしての出力ポート 64、4 ビットパラレルの入力ポート 66、各ポートを選択するアドレスデコード 68、CLK を分周するデバイダ 70 を含み、チップの内部バスの内アドレスバスと \overline{WR} , \overline{RD} がアドレスデコード 68 の入力側に接続されており、データバス (4 ビット) が各出力ポート 62, 64, 入力ポート 66 に接続されている。

アドレスデコード 68 の出力側は、出力ポート 62, 64 と入力ポート 66 に接続されており、所定アドレスで個別にイネーブルされる。

但し、出力ポート 64 をイネーブルする場合は

リード、ライト信号も出力される。

チップ内のCLKはデバイダ70で分周されたあと出力ポート64へクロックとして出力されて転送動作を行わせる。

出力ポート62の出力側にはチップ外に設けられた4桁の7セグメント液晶表示器72の各桁のセグメント電極に並列接続されている。

また出力ポート64の出力側は1段目の出力側がチップ外に設けられたキーマトリクス74の走査線R1と接続されたあと7セグメント液晶表示器72の4桁目の共通電極と接続されている。

同様にして出力ポート64の2段目～4段目の出力側が各々走査線R2～R4と接続されたあと、3～1桁目の共通電極と接続されている。

一方、キーマトリクス74の検出線Q1～Q4は入力ポート66と接続されている。

出力ポート64は転送タイミング毎に割り込み信号INTをCPU側へ出力する。

次に第4図の1/060の動作を説明すると、パワーオンリセットでCPUは出力ポート64に

係るアドレスとWR信号をアドレスデコード68へ出力する。

これにより出力ポート64がイネーブルになり、かつ、ライト状態にセットされる。

続いてCPUはデータバスに(LHHH)を出力して出力ポート64を初期値設定する。

その後CPUはWR信号を解除する。

出力ポート64はデバイダ70から入力する分周クロックに従い、各段の出力を逐段的に「L」とする。

これによりキーマトリクス74の走査線R1～R4が順次走査され、かつ、7セグメント液晶表示器72の4桁目～1桁目も順次走査される。

一方、出力ポート64の出力が変化するタイミングで割り込み信号INTがCPUに入力される。

この割り込み信号INTを入力したCPUは入力ポート66を指定するアドレスをアドレスデコード68へ出力して入力ポート66をイネーブルとし、この入力ポート66の入力をデータバスを介してデータメモリに取り込む。

そして「L」になっている検出線があるか否かを判定する。

無ければ、出力ポート62を指定するアドレスをアドレスデコード68へ出力して、出力ポート62をイネーブルとし、現在走査されている桁に関する文字データをデータバスを介して出力ポート62へ出力する。

出力ポート62は入力した文字データをデコードしてセグメント表示制御信号を形成し、各桁へ出力する。

すると7セグメント液晶表示器72は、現在走査されて共通電極側に「L」が印加されている桁に文字を表示させる。

以下、走査の進行に従い同様の処理を繰り返す。若し、走査線R3と検出線Q2に係るキーをユーザがオンしたとき、走査線R3が走査されている間検出線Q2が「L」に落ちる。

すると入力ポート66より読み取られるデータは(HLHH)となり、データメモリに格納される。

この場合、検出線Q1～Q4の中に「L」が有るか否かの判定でYBSとなるため、CPUは出力ポート64を指定するアドレスとWR信号をアドレスデコード68へ出力し、出力ポート64をイネーブルとし、かつリード状態にさせて現在の出力ポート64の出力を読み取り、データメモリに格納する。

これにより、ユーザがオンしたキーに係るRとQに関する座標データが得られ、所定の変換をすることでキーの定義文字が分かる。

これが2桁目に係る文字の場合、CPUは前述と同様にして7セグメント液晶表示器72の2桁目に表示させる。

他のキーがオンされたときも同様である。

第4図のように7セグメントのデコード、シフトレジスタ、入力ポート、アドレスデコード、デバイダなどの複雑な機能を含む1/060でも、FPLAからなる1/0ユーザがプログラムすることで簡単に実現できる。

第1図の実施例によれば、ワンチップマイコン

にFPLAからなるI/Oをオンチップしたことにより、ユーザがプログラムすることで、シリアルI/O(UART等を含む)やパラレルI/Oのほか、割り込みコントロール機能、ユーザオリジナルな特殊なハンドシェイクコントロール機能など種々の機能を有するI/Oを実現できる。

なお第1図ではI/O部分をFPLAとしたが、I/O以外にも内部バスと接続されたFPLAをオンチップしておけば、I/Oとは別にDMAコントローラ、カウンタ、タイマー、メモリマネジメント機能、ソフトで実現不能な種々のコントロール機能などを実現することもできる。

また、周辺信号処理回路用としてオンチップするPLDもFPLAに限定されず、更に、メモリをチップ外に設けるようにしたワンチップマイコンにも適用できる。

(発明の効果)

この発明に係るワンチップマイクロコンピュータでは、一部または全部の周辺信号処理回路を、プログラマブルロジックデバイスを用いて構成し

たことにより、ユーザ側で必要とする特殊な機能でも、単にプログラムロジックデバイスにプログラムするだけで実現でき、外部に他のLSIを取り付けなくて済んだり、取りつける場合でも数を減らすことができる。

また、カウンタやシフトレジスタ等の数値設定などを除き周辺信号処理回路に対する複雑、かつ、煩雑な動作モード設定をソフト的に行う必要がなく、ワンチップマイコンで可能な処理許容量を大きくできるという優れた効果がある。

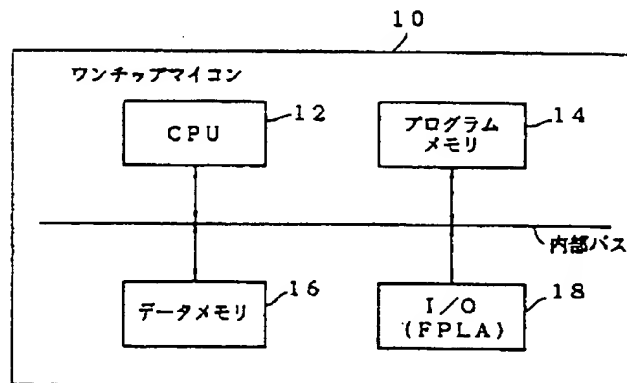
4. 図面の簡単な説明

第1図はこの発明の1つの実施例に係るワンチップマイコンのブロック図、第2図は第1図中のI/Oの一例を示す回路図、第3図は第2図のI/Oをプログラムする際の手順を示すタイムチャート、第4図は第1図のI/Oで実現した電卓用ワンチップマイコンのキー入力・表示出力用I/Oの等価ブロック図である。

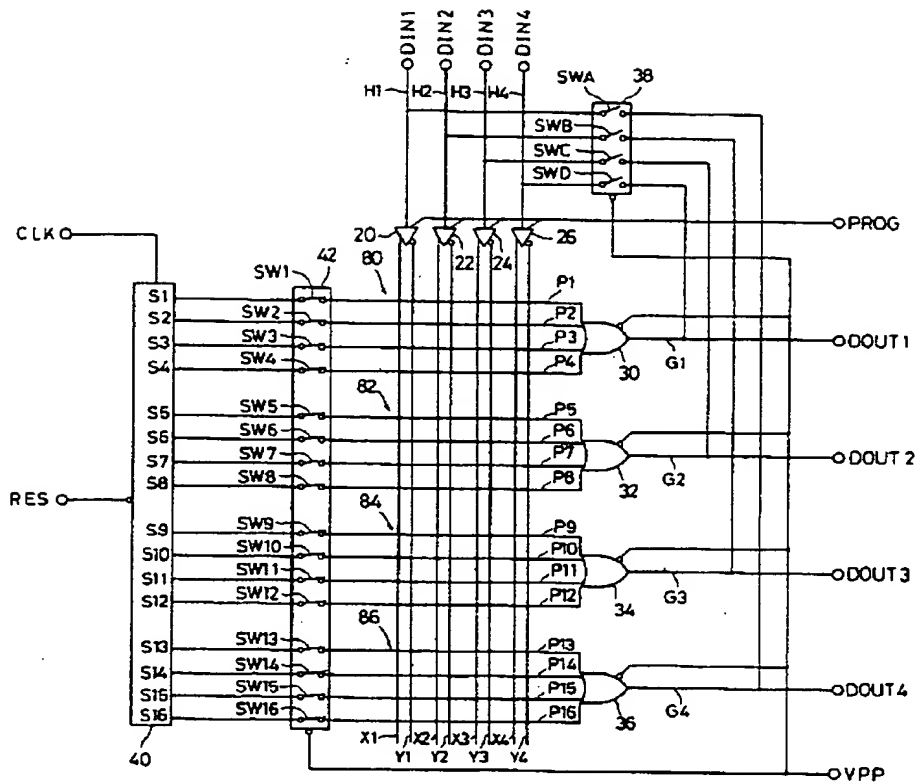
主な符号の説明

- 10: ワンチップマイクロコンピュータ、
12: CPU、 14: プログラムメモリ、
16: データメモリ、 18: I/O (FPLA)。

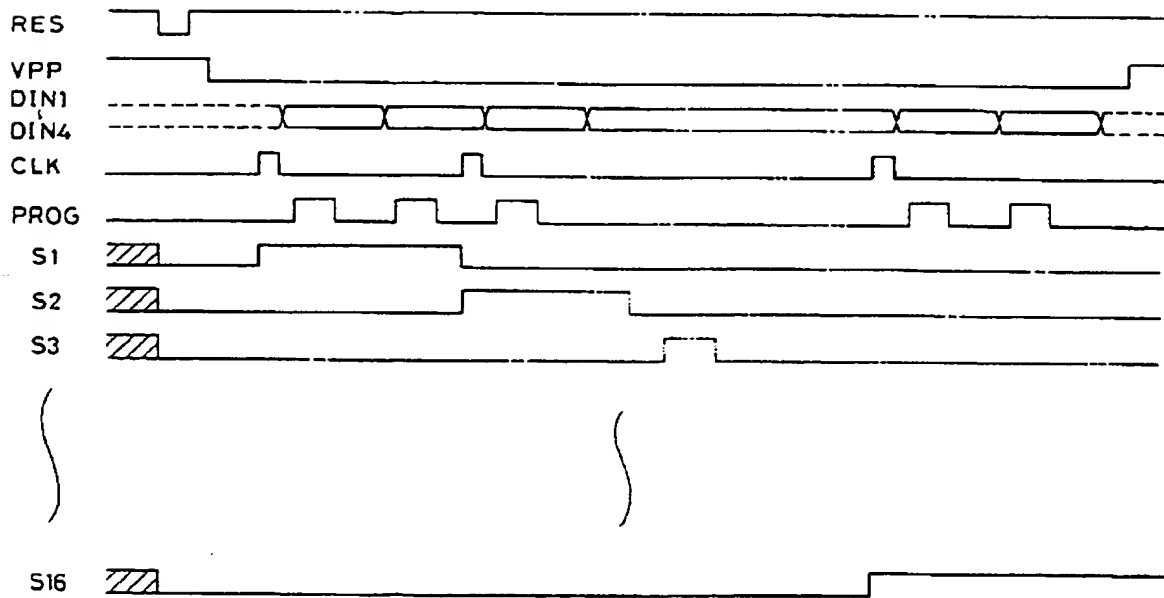
特許出願人 株式会社ケンウッド
代理人 弁理士 坪内康治



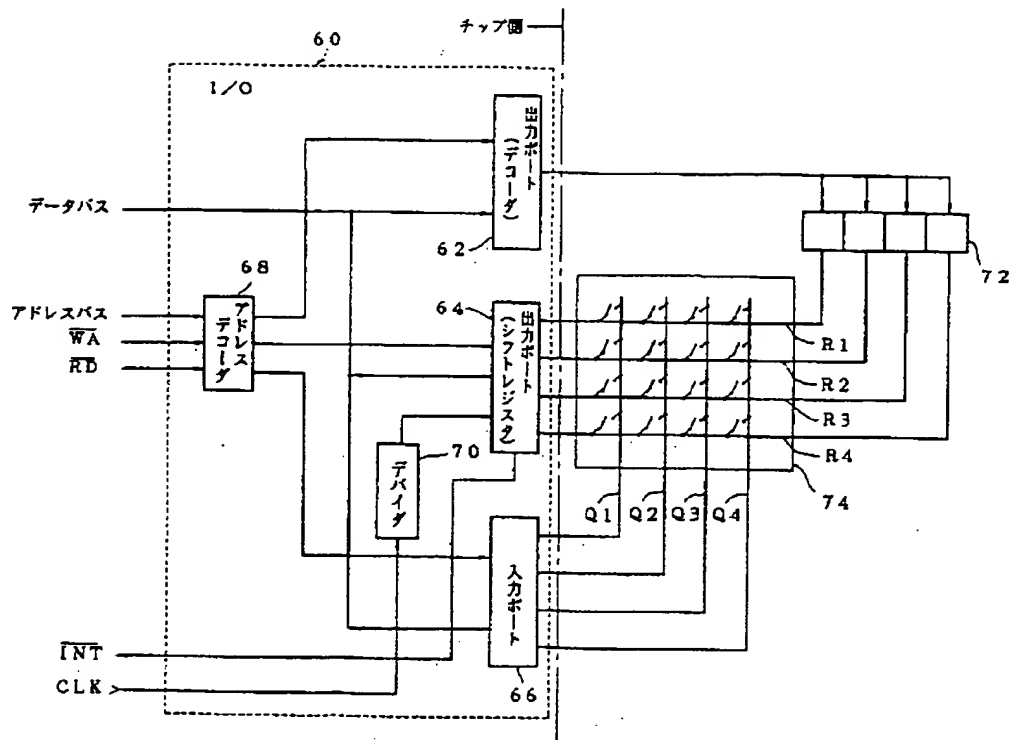
第1図



第 2 図



第 3 図



第 4 図

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.